

## SEMICONDUCTOR PHOTO-DETECTOR

Patent Number: JP2001127333  
Publication date: 2001-05-11  
Inventor(s): MAKIUCHI MASAO;; YASUOKA NAMI;; SODA HARUHISA;; FUJII TAKUYA  
Applicant(s): FUJITSU LTD;; FUJITSU QUANTUM DEVICES LTD  
Requested Patent: JP2001127333  
Application Number: JP19990309851 19991029  
Priority Number(s):  
IPC Classification: H01L31/10  
EC Classification:  
Equivalents:

---

### Abstract

---

**PROBLEM TO BE SOLVED:** To provide a semiconductor photo-detector which is suitable for a quick operation and easy to manufacture.

**SOLUTION:** A photo-detection section is formed on part of the main surface of a substrate. The photo-detection section includes a light-receiving layer extending in parallel to the main surface. The light-receiving layer is formed of a semiconductor, and produces carriers in accordance with the amount of light received. A waveguide is formed on the main surface of the substrate, which guides light in the direction parallel to the main surface for injection to the light-receiving layer. A semiinsulating semiconductor member covers a lateral surface of the photo-detection section. A pair of electrodes causes current to flow through the light-receiving layer of the photo-detection section in the direction of its thickness.

---

Data supplied from the **esp@cenet** database - I2



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2001-127333  
(P2001-127333A)

(43)公開日 平成13年5月11日(2001.5.11)

(51)Int.Cl.<sup>7</sup>  
H 0 1 L 31/10

識別記号

F I  
H 0 1 L 31/10

テーマコード(参考)  
A 5 F 0 4 9

審査請求 未請求 請求項の数5 O L (全 15 頁)

(21)出願番号 特願平11-309851

(22)出願日 平成11年10月29日(1999. 10. 29)

(71)出願人 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中4丁目1番  
1号  
(71)出願人 000154325  
富士通カンタムデバイス株式会社  
山梨県中巨摩郡昭和町大字紙漣阿原1000番  
地  
(72)発明者 牧内 正男  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(74)代理人 100091340  
弁理士 高橋 敬四郎

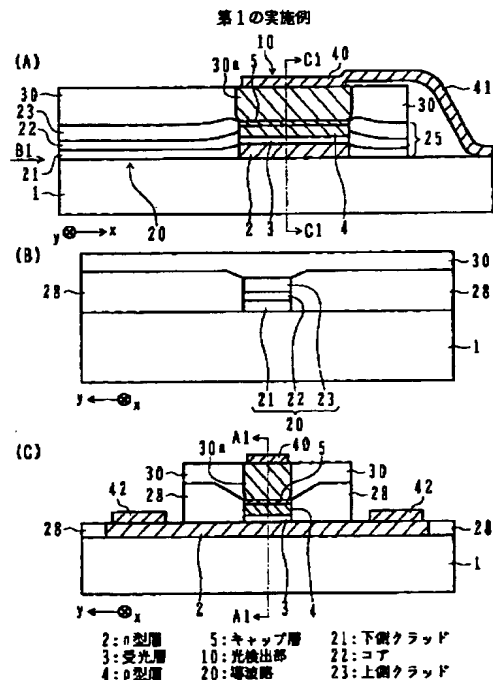
最終頁に続く

(54)【発明の名称】 半導体受光装置

(57)【要約】

【課題】 高速動作に適し、かつ製造容易な構造の半導体受光装置を提供する。

【解決手段】 基板の主表面の一部の領域上に光検出部が形成されている。光検出部は、主表面に平行な受光層を含み、該受光層は半導体で形成され、受けた光に応じてキャリアを生成する。基板の主表面上に、主表面に平行な方向に光を導波させ、受光層に光を入射させる導波路が形成されている。半絶縁性の半導体部材が、光検出部の側面を覆う。一対の電極が、光検出部の受光層に、その厚さ方向に電流を流す。



## 【特許請求の範囲】

【請求項1】 主表面を有する基板と、  
前記基板の主表面の一部の領域上に形成され、該主表面に平行な受光層を含み、該受光層は半導体で形成され、受けた光に応じてキャリアを生成する光検出部と、  
前記基板の主表面上に形成され、該主表面に平行な方向に光を導波させ、前記受光層に光を入射させる導波路と、  
前記光検出部の側面を覆う絶縁性または高抵抗の半導体部材と、  
前記光検出部の受光層に、その厚さ方向に電流を流すための電極とを有する半導体受光装置。

【請求項2】 前記導波路の、前記光検出部とは反対側の端面が位置する前記基板の端面が、へき開された面である請求項1に記載の半導体受光装置。

【請求項3】 前記光検出部が、前記基板の主表面上に形成された第1導電型の半導体からなる第1の層と、前記第1の層の上に形成された前記受光層と、前記受光層の上に形成され、前記第1導電型とは反対の第2導電型の半導体からなる第2の層とを含み、  
前記導波路が、前記光検出部の第1の層と同一工程で堆積された下側クラッドと、該下側クラッドの上に形成されたコアと、該コアの上に形成された上側クラッドとを含む請求項1または2に記載の半導体受光装置。

【請求項4】 さらに、前記基板の主表面上に形成され、前記受光層を厚さ方向に流れる電流をバイパスするバイパスコンデンサを有する請求項1～3のいずれかに記載の半導体受光装置。

【請求項5】 前記光検出部が、前記基板の主表面上に形成された第1導電型の半導体からなる第1の層と、前記第1の層の上に形成された第1導電型の半導体からなる第2の層と、該第2の層の上に形成された前記受光層と、前記受光層の上に形成され、前記第1導電型とは反対の第2導電型の半導体からなる第3の層とを含み、  
さらに、前記導波路が、前記光検出部の第1の層と同一工程で堆積された下側クラッド層と、前記第2の層と同一工程で堆積されたコアと、該コアの上に形成された上側クラッド層とを含む請求項1に記載の半導体受光装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体受光装置に関し、特に受光層の端面から光が入射する半導体受光装置に関する。光通信の高速化に伴い、40GHz以上の情報伝達速度が要求されている。高速動作可能な受光素子として、pin型フォトダイオードが注目されている。

## 【0002】

【従来の技術】光通信で利用されている波長1.55μmの光を検出する材料として、InGaAsが用いられ

る。InGaAs層に、その厚さ方向に沿って光を入射し、入射光のほぼ100%を吸収するためには、InGaAs層の厚さを3μm以上とすることが好ましい。一方、光の吸収によって発生したキャリアが、このInGaAs層内をその厚さ方向に移動し、外部回路で検出されるまでには、所定の時間が必要である。情報伝達速度が遅い場合には、InGaAs層内のキャリアの走行時間は大きな問題にならないが、情報伝達速度が30GHzを超えると、このキャリア走行時間に律速され、情報伝達速度を速くすることが困難になる。

【0003】光をInGaAs層の端面から入射させ、発生したキャリアをInGaAs層の厚さ方向に走行させることにより、十分な光を吸収し、かつキャリアの走行時間を短くすることができ、上記問題を解決することができる。

## 【0004】

【発明が解決しようとする課題】一般的に、波長1.55μm帯のpin型フォトダイオードのi層（受光層）にはInGaAs等が使用され、p層及びn層にInP等が使用される。このpin型フォトダイオードの静電容量をC、負荷抵抗をRとすると、 $1/(2\pi CR)$ で規定される周波数により動作速度が制限される。従って、高速動作を実現するためには、静電容量Cを小さくすることが望ましい。

【0005】受光層を厚くすることにより静電容量Cを小さくすることができるが、受光層が厚くなると、厚さ方向に移動して界面に達するまでのキャリアの移動時間が長くなってしまふ。受光層を厚くすることなく、静電容量Cを小さくするために、pin接合の面積を小さくすることが望まれる。

【0006】ところが、全面にpin接合が形成されたウエハをへき開することにより、小さな面積のpin接合を有するフォトダイオードを切り出すことは困難である。例えば、へき開位置のばらつきにより、pin型フォトダイオードの受光特性が変動してしまふ。

【0007】本発明の目的は、高速動作に適し、かつ製造容易な構造の半導体受光装置を提供することである。

## 【0008】

【課題を解決するための手段】本発明の一観点によると、主表面を有する基板と、前記基板の主表面の一部の領域上に形成され、該主表面に平行な受光層を含み、該受光層は半導体で形成され、受けた光に応じてキャリアを生成する光検出部と、前記基板の主表面上に形成され、該主表面に平行な方向に光を導波させ、前記受光層に光を入射させる導波路と、前記光検出部の側面を覆う半絶縁性の半導体部材と、前記光検出部の受光層に、その厚さ方向に電流を流すための電極とを有する半導体受光装置が提供される。

【0009】光検出部と導波路とが同一基板上に形成されているため、光検出部が小さくなくても、チップ全体

をある程度大きく保つことができる。ウエハからチップを切り出す際には、導波路部が切られるのみで、光検出部が切られることはないので、素子特性の再現性を保つことができる。

#### 【0010】

【発明の実施の形態】図1を参照して、本発明の第1の実施例による半導体受光装置の構造を説明する。図1(A)は、第1の実施例による半導体受光装置の、入射光の光軸に沿った断面図を示す。図1(B)は、図1(A)の矢印B1方向から見た側面図(入射端面)を示す。図1(C)は、図1(A)の一点鎖線C1-C1における断面図を示す。なお、図1(C)の一点鎖線A1-A1における断面図が図1(A)に相当する。説明の都合上、図1(A)の横方向をx方向、図1(A)の紙面に垂直な方向をy方向とする。

【0011】図1(A)に示すように、半絶縁性のInP基板1の主表面の一部の領域上に、n型InPからなるn型層2、ノンドープのInGaAsからなる受光層3、p型InPからなるp型層4、及びp型InGaAsからなるキャップ層5がこの順番に積層されている。

【0012】n型層2には、不純物として硫黄(S)がドーパされており、その濃度は $1 \times 10^{17} \sim 1 \times 10^{19} \text{ cm}^{-3}$ である。n型層2の厚さは $1 \sim 2 \mu\text{m}$ である。受光層3の厚さは $0.1 \sim 0.5 \mu\text{m}$ である。p型層4には、不純物として亜鉛(Zn)がドーパされており、その濃度は $1 \times 10^{17} \sim 1 \times 10^{19} \text{ cm}^{-3}$ である。p型層4の厚さは $1 \sim 1.5 \mu\text{m}$ である。キャップ層5の厚さは $0.05 \mu\text{m}$ である。n型層2、受光層3、及びp型層4からなるpin型フォトダイオードが、光検出部10を構成する。

【0013】InP基板1の表面のうち、光検出部10に隣接する領域(図1(A)においては光検出部10の左側)上に、光検出部10の端面に接触する導波路20が形成されている。導波路20は、下側クラッド層21、コア22、及び上側クラッド層23がこの順番に積層された積層構造を有する。下側クラッド層21及び上側クラッド層23は、ノンドープのInPで形成され、コア22は、ノンドープのInGaAsPで形成される。

【0014】コア22は、光検出部10側の端面において、受光層3の端面に接触する。コア22は、光検出部10に近づくに従って、徐々に厚くされており、その光検出部側の端面における厚さは、受光層3の厚さ以上である。導波路20の、光検出部10とは反対側の端面は、InP基板1をへき開することにより形成される。

【0015】光検出部10の、導波路20とは反対側(図1(A)においては右側)の端面に、導波路20と同一の積層構造を有する半導体部材25が接触している。InP基板1の主表面のうち、半導体部材25よりもさらに右側の領域においては、InP基板1の主表面

が露出している。

【0016】導波路20、光検出部10、及び半導体部材25の上に、InPからなる上部保護膜30が形成されている。上部保護膜30のうち、光検出部10の上方の領域は、Znをドーパされてp型導電性を付与された導電領域30aである。導電領域30aは、キャップ層5に電気的に接続されている。上部保護膜30のうち、導電領域30a以外の部分は、ノンドープの領域である。

【0017】導電領域30aの上面において、AuZn合金からなるp側電極40が導電領域30aにオーミック接触する。p側電極40は、金(Au)からなるエブリッジ41により、InP基板1の主表面上のパッドに接続されている。

【0018】図1(B)に示すように、導波路20の両側に、側部保護膜28が形成されている。側部保護膜28は、半絶縁性のInPで形成される。

【0019】図1(C)に示すように、n型層2は、受光層3、p型層4、及びキャップ層5からなる積層構造の両側に張り出すように配置されている。側部保護膜28が、受光層3、p型層4、及びキャップ層5の両側の側面に接触する。上部保護膜30が、側部保護膜28及びキャップ層5の上に形成されている。導電領域30aがキャップ層5に電気的に接続されている。導電領域30aの上にp側電極40が形成されている。

【0020】n型層2の表面のうち、側部保護膜28が形成された領域よりもさらに外側の領域において、n側電極42がn型層2にオーミック接触する。n側電極42は、AuGe合金層とAu層との2層構造を有する。

【0021】次に、図2～図5を参照して、第1の実施例による半導体受光装置の製造方法を説明する。図2(A)、図2(B1)、図3(C1)、図3(D1)、図4(E1)、図4(F1)、及び図5(G1)は、図1(A)に示された断面図に対応し、図2(B2)、図3(C2)、図3(D2)、図4(E2)、図4(F2)、及び図5(G2)は、図1(C)に示された断面図に対応する。

【0022】図2(A)に示すように、半絶縁性のInP基板1の表面上に、n型InPからなるn型層2、ノンドープのInGaAsからなる受光層3、p型InPからなるp型層4、及びp型もしくはノンドープのInGaAsからなるキャップ層5を、有機金属化学気相成長(MOCVD)により成長させる。

【0023】図2(B1)及び(B2)に示すように、SiO<sub>2</sub>パターン6をマスクとして、n型層2からキャップ層5までの積層構造をエッチングする。この工程のエッチングは、化学エッチングにより行われる。InP、InGaAsをエッチングするエッチャントとして、HBrとH<sub>2</sub>O<sub>2</sub>とH<sub>2</sub>Oとの混合液、HClとH<sub>2</sub>Oとの混合液、H<sub>2</sub>SO<sub>4</sub>とH<sub>2</sub>O<sub>2</sub>とH<sub>2</sub>Oとの混合液等が

知られている。

【0024】図6に、 $\text{SiO}_2$ パターン6の平面形状を示す。図6の一点鎖線B1-B1が図2(B1)の断面図に相当し、一点鎖線B2-B2が図2(B2)の断面図に相当する。 $\text{SiO}_2$ パターン6は、x方向に延在する2本の並行な太い帯状部分6a、2本の帯状部分6aのほぼ中央を相互に接続する接続部分6b、及び帯状部分6aの内側の縁を両側に延ばした仮想直線に沿って配置された細い帯状部分6cを有する。接続部分6bが、図1(A)の光検出部10に対応する。

【0025】図3(C1)及び(C2)に示すように、InP基板1の主表面上に、InPからなる下側クラッド層21、InGaAsPからなるコア22、及びInPからなる上側クラッド層23を、順次選択成長させる。 $\text{SiO}_2$ パターン6の上には、これらの層が成長しない。

【0026】図6に示す $\text{SiO}_2$ パターン6の接続部分6bから、x方向に離れるに従って成長速度が遅くなる。このため、図3(C1)に示すように、コア22は、光検出部10に近づくに従って厚くなる。選択成長後、 $\text{SiO}_2$ パターン6を除去する。

【0027】図3(D1)及び(D2)に示すように、上側クラッド層23及びキャップ層5の上に $\text{SiO}_2$ パターン7を形成する。 $\text{SiO}_2$ パターン7は、図6の帯状部分6a及び6cに挟まれた細長い領域7を覆う。 $\text{SiO}_2$ パターン7をマスクとして、受光層3からキャップ層5までの積層構造をエッチングする。このエッチングは、例えばプラズマエッチングにより行う。プラズマエッチングを採用すると、エッチングの深さを厳密に制御できるとともに、パターンの側壁をほぼ垂直に形成することができる。

【0028】次に、n型層2の一部をレジストパターン8で覆う。レジストパターン8は、図6の接続部分6bをy方向に延長した領域を覆う。 $\text{SiO}_2$ パターン7及びレジストパターン8をマスクとして、n型層2をエッチングする。その後、レジストパターン8を除去する。

【0029】図4(E1)及び(E2)に示すように、 $\text{SiO}_2$ パターン7で覆われていない表面上に、半絶縁性のInPからなる側部保護膜28を形成する。図4(F1)及び(F2)に示すように、 $\text{SiO}_2$ パターン7を除去する。

【0030】図5(G1)及び(G2)に示すように、基板の全表面上に、半絶縁性のInPからなる上部保護膜30を形成する。図1(A)及び(C)に示すように、InP基板1の主表面上に形成された積層構造をパターンニングする。このパターンニングは、プラズマエッチングにより行われる。プラズマエッチングを採用すると、エッチングの深さを厳密に制御することができる。なお、プラズマエッチング後、化学的エッチングにより、表面のダメージ層を除去する。

【0031】図1(C)に示すように、側部保護膜28よりも外側に露出したn型層2の表面の一部の領域上に、n側電極42を形成する。n側電極42は、例えばリフトオフ法により形成することができる。次に、図1(A)に示すp側電極40及びエアブリッジ41を形成する。

【0032】次に、図7を参照して、p側電極40及びエアブリッジ41の形成方法を説明する。

【0033】図7(A)に示すように、InP基板1の主表面上に、図1(A)の光検出部10を含む積層構造35が形成されている。この基板の表面上に、レジストパターン46を形成する。レジストパターン46には、p側電極に対応した開口46a及びパッドに対応した開口46bが形成されている。基板の全表面上に、AuZn/Au層40a(AuZn層が基板側)を蒸着する。

【0034】AuZn/Au層40aの上にレジストパターン47を形成する。レジストパターン47には、開口46aと開口46bとを接続する開口47aが形成されている。AuZn/Au層40aを電極として金メッキを行う。開口47a内にAu膜41が形成される。レジストパターン47上には金めっきされない。

【0035】図7(B)に示すように、レジストパターン46及び47を除去する。これにより、p側電極40、パッド47、及びエアブリッジ41が残る。

【0036】上記第1の実施例による半導体受光装置の動作時には、図1(A)に示す光検出部10のpin接合に、外部回路から逆バイアスを印加する。導波路20の入射端面に入射した光がコア22に沿って伝搬し、光検出部10の受光層3に入射する。受光層3内にキャリアが生成され、このキャリアが受光層3の厚さ方向に移動(ドリフト)する。電子がn型層2に到達し、正孔がp型層4に到達すると、外部回路で光電流が検出される。

【0037】上記第1の実施例による半導体受光装置においては、図1(A)に示す光検出部10の端面が、図2(B1)に示す工程で、フォトリソグラフィ技術により形成される。pin接合の大きさがへき開の精度に影響されないため、光検出部10のpin接合の面積が小さい場合でも、再現性よく光検出部を形成することができる。また、へき開面が導波路部分に位置するため、へき開位置のばらつきが、光検出部の特性に影響を及ぼさない。

【0038】また、第1の実施例では、図1(C)に示すように、pin接合の端面が高抵抗のInPからなる側部絶縁膜28で覆われている。このため、pin接合の端面を流れるリーク電流を低減することができる。ここで側部絶縁膜28が高抵抗であるとは、例えば図1(C)において、p側電極40とn側電極42との間を流れる電流が受光層3に集中し、側部絶縁膜28にほとんど流れない程度の高い抵抗値であることを意味する。

少なくとも、側部絶縁膜28の抵抗が、n型層2及びp型層4の抵抗よりも高いことが必要である。

【0039】また、第1の実施例では、図1(A)及び図1(C)に示すように、p側電極40の大きさが、pin接合の大きさにほぼ等しい。このため、不要な寄生容量の増大を防止し、寄生容量に起因する動作速度の低下を防止することができる。

【0040】次に、図8を参照して、第2の実施例による半導体受光装置について説明する。第1の実施例では、図1(A)に示すように、上部保護膜30の上面がほぼ平坦であったが、第2の実施例では、上部保護膜30の上面に段差が設けられている。

【0041】図8は、第2の実施例による半導体受光装置の断面図を示す。光検出部10の上方の上部保護膜30が、導波路20の上方の上部保護膜30よりも薄くされ、両者の境界に段差30bが形成されている。その他の構成は、図1(A)に示す第1の実施例による半導体受光装置の構成と同様である。

【0042】上部保護膜30の段差30bは、図5(G1)に示す上部保護膜30を堆積した後、導波路20の上方をマスクして上部保護膜30を部分的にエッチングすることにより形成することができる。段差30bの高さの調節は、エッチングの時間を制御することにより行うことができる。また、エッチングを停止すべき深さに、エッチング停止層を配置してもよい。光検出部10の上方の上部保護膜30が薄い場合、キャップ層5の上に配置される導電領域30cを形成する際のZnの拡散時間を短くすることができる。また、プラズマエッチングによってキャップ層5までエッチングすると、Znの拡散工程が不要になる。

【0043】次に、図9を参照して、第3の実施例による半導体受光装置について説明する。図9(A)、(B)、及び(C)は、それぞれ、第3の実施例による半導体受光装置の入射端面、入射光の光軸に沿った断面図、及び入射光の光軸に垂直な断面図(図9(B)の一点鎖線C9-C9における断面図)を示す。図9(B)は、図9(C)の一点鎖線B9-B9における断面図に相当する。

【0044】第1の実施例では、図1(A)に示すように、n型層2のx方向の幅が、その上の受光層3及びp型層4のx方向の幅と同一であった。第3の実施例では、図9(A)～(C)に示すように、n型層2aがパターンニングされていない。すなわち、n型層2aがInP基板1の全面を覆う。

【0045】光検出部10は、下から順番にn型層2a、受光層3、p型層4、及びキャップ層5が積層された積層構造を有し、第1の実施例の構造と同様である。第1の実施例の導波路20の下側クラッド層21は、図1(A)に示すようにノンドープのInPで形成されていた。第3の実施例の場合は、n型層2aが導波路20

の下側クラッド層を兼ねる。

【0046】このような構造は、第1の実施例の図2(B1)のエッチング工程において、n型層2の上面でエッチングを停止させることにより形成される。InPのみのエッチングには $\text{H}_3\text{PO}_4$ と $\text{HCl}$ との混合液を用い、InGaAsのみのエッチングには、 $\text{H}_2\text{O}$ と $\text{H}_3\text{PO}_4$ と $\text{H}_2\text{O}_2$ との混合液を用いることができる。第1の実施例の図3(D1)で示したn型層2のパターニング工程は不要である。

【0047】第1の実施例では、図1(A)に示すコア22と受光層3とを結合するために、下側クラッド層21の厚さを厳密に制御する必要がある。第3の実施例では、n型層2aが下側クラッド層を兼ねるため、コア22の高さを受光層3の高さに容易に整合させることができる。電極の取り出し方法については、後に、図12及び図13を参照して説明する。

【0048】次に、図10を参照して、第4の実施例による半導体受光装置について説明する。図10(A)、(B)、及び(C)は、それぞれ、第3の実施例による半導体受光装置の入射端面を示す側面図、入射光の光軸に沿った断面図、及び入射光の光軸に垂直な断面図(図10(B)の一点鎖線C10-C10における断面図)を示す。図10(B)は、図10(C)の一点鎖線B10-B10における断面図に相当する。

【0049】図10に示す断面の構成は、第3の実施例の図9(B)に示す構成と同様である。図10(A)に示す側面、及び図10(C)に示す断面において、n型層2bが細くされている。

【0050】図10(A)に示すように、導波路20の部分では、n型層2bが、その上のコア22とほぼ同一形状にパターンニングされている。図10(C)に示すように、光検出部10の部分においては、n型層2bが、その上の受光層3の両側に張り出している。n型層2bのパターニングは、第1の実施例の図3(D1)及び(D2)に示すレジストパターン8で、コア22の上方を覆うことにより行うことができる。

【0051】第4の実施例でも、n型層2bが導波路20の下側クラッドを兼ねるため、コア20の高さを受光層3の高さに容易に整合させることができる。なお、第4の実施例では、第3の実施例に比べてn型層2bが狭い範囲内に配置される。このため、余分な浮遊容量の発生を抑制することができる。

【0052】次に、図11を参照して、第5の実施例による半導体受光装置について説明する。第1の実施例では、図1(A)に示すように、コア22と受光層3との端面同士が接触していた。第5の実施例では、コアの上面が、受光層の下面に接触する。

【0053】図11(A)に示すように、InP基板1の主表面上に、x方向に延在するn型層2cが形成され、その上にn型InGaAsPからなるコア22aが

形成されている。コア22aは、光検出部10のn型層2c上まで延在している。光検出部10の受光層3が、光検出部10内まで延在したコア22aの上に形成されている。導波路20内のn型層2c及びコア22aは、光検出部10から遠ざかるに従って徐々に薄くなっている。その他の構成は、図1(A)に示す第1の実施例の場合と同様である。

【0054】次に、図11(A)に示す半導体受光装置の製造方法を、第1の実施例による半導体受光装置の製造方法と対比しながら説明する。第1の実施例の図2(A)に示す成膜工程を行う前に、InP基板1の表面上に選択成長用のマスクパターンを形成する。

【0055】図11(B)は、選択成長用のマスクパターン9の平面図を示す。図11(A)のコア22aが配置される領域の両側に、SiO<sub>2</sub>からなるマスクパターン9が配置される。マスクパターン9は、受光部10に相当する部分の両脇の幅の広い中央部9aと、導波路20に相当する部分の両脇の幅の狭い帯状部9bから構成される。

【0056】マスクパターン9をマスクとして、InP基板1上に、図2(A)に示すn型層2からキャップ層5までを堆積する。なお、第5の実施例の場合には、n型層2と受光層3との間にコア22aを堆積しておく。マスクパターン9を用いた選択成長を行うことにより、マスクパターン9に挟まれた領域の、x方向に関する膜厚を変化させることができる。例えば、成長条件を適当に選択すると、InP層の厚さをほぼ均一にし、受光部におけるInGaAsP層の厚さを、導波路の出射端面における厚さの3〜6倍とすることができる。これら各層の選択成長後、マスクパターン9を除去する。その後の工程は、第1の実施例の場合と同様である。

【0057】導波路20内のコア22aに沿って伝搬した光が、光検出部10内のコア22aまで伝搬する。光検出部10内のコア22a内まで伝搬した光が、コア22aの上面から受光層3内に漏れることにより、受光層3内まで光を伝達させることができる。

【0058】次に、図12を参照して、第6の実施例による半導体受光装置について説明する。第6の実施例は、pin接合のn型層とp型層とから取り出す電極構造に特徴を有する。

【0059】図12(A)は、光検出部10を通り、入射光軸に垂直な平面における断面図を示し、図12(B)は、図12(A)の一点鎖線B12-B12における断面図を示す。図12(B)の一点鎖線A12-A12における断面図が図12(A)に相当する。電極取り出し部以外の構成は、図1(A)及び(C)に示す第1の実施例の場合と同様である。図12(A)及び(B)に示す各構成部分には、図1(A)及び(C)に示された対応する構成部分に付された参照符号と同一の参照符号が付されている。なお、第6の実施例の電極取

り出し構造は、第3及び第4の実施例による半導体受光装置に適用することも可能である。

【0060】図12(A)に示すように、n型層2が光検出部10の両側に張り出している。この張り出し部分の上面に、n側導電性支柱50が接触している。n側導電性支柱50は、側部保護膜28と上部保護膜30を貫通して、上部保護膜30の上面まで達する。キャップ層5に、p側導電性支柱51が接触している。p側導電性支柱51は、上部保護膜30を貫通してその上面まで達する。n側導電性支柱50及びp側導電性支柱は、例えば金メッキや銀ペーストで形成される。なお、十分なオーミック接触を確保するために、支柱形成前にオーミックメタライズ処理を行ってもよい。

【0061】n側電極52が、n側導電性支柱50に接触し、p側電極53が、p側導電性支柱51に接触する。n側電極52及びp側電極53は、上部保護膜30の表面上に配置される。

【0062】図12(B)に示すように、p側電極53は、y方向に垂直な断面において光検出部10の両側に伸びている。このような構成とすることにより、pin接合の面積が小さい場合でも、p側電極53を大きくすることができる。なお、光検出部10の両側に延在した部分に配置されたp側電極53の下方には、導電性の領域が配置されていない。このため、p側電極53の面積を大きくしても、寄生容量はほとんど増加しない。

【0063】p側導電性支柱51用のビアホールは、InGaAsに対してInPを選択的にエッチングすることができるエッチャント、例えばH<sub>3</sub>PO<sub>4</sub>とHClとの混合液を用いて形成することができる。また、プラズマエッチングを用いることにより、エッチングされる厚さをより正確に制御することができる。n側導電性支柱50用のビアホールを形成するときは、n型層2のほぼ上面までエッチングが進んだときに時間制御によりエッチングを停止する。導電性支柱50及び51は、金めっきや銀ペーストで形成される。

【0064】第6の実施例による半導体受光装置においては、n側電極52とp側電極53とが、同一平面内に配置される。このため、コプレーナーストリップライン構造の基板上に、直接半導体受光装置を接続することができる。例えば、n側電極52の表面上にフリップチップ接続用の融材、例えばAuSn半田層54を設け、コプレーナーストリップライン構造の基板のパッドに、フリップチップボンディングすることができる。このとき、p側電極53は、コプレーナーストリップライン構造の基板のパッドに圧着することにより電氣的接続が確保される。

【0065】また、第6の実施例では、図12(B)に示すように、光検出部10の図の左側のみならず、右側にも導波路20aが配置される。このように、ひとつの光検出部10に2本の導波路20及び20aが接続され



ている。2本の導波路に異なる光信号を入射させることにより、光ファイバカップラを用いることなく、ヘテロダイン検波システムを構成することが可能になる。また、波長の異なる光信号を入射させると、その差周波数に相当するビート信号を取り出すことができる。

【0066】次に、図13を参照して、第7の実施例による半導体受光装置について説明する。第6の実施例による半導体受光装置は、コプレーナーストリップライン構造の基板に直接接続するのに適した構造であったが、第7の実施例による半導体受光装置は、マイクロストリップライン構造の基板に接続するのに適した構造を有する。

【0067】図13(A)は、光検出部10を通り、入射光軸に垂直な平面における断面図を示し、図13

(B)は、図13(A)の一点鎖線B13-B13における断面図を示す。図13(B)の一点鎖線A13-A13における断面図が図13(A)に相当する。電極取り出し部以外の構成は、図1(A)及び(C)に示す第1の実施例の場合と同様である。図13(A)及び(B)に示す各構成部分には、図1(A)及び(C)に示された対応する構成部分に付された参照符号と同一の参照符号が付されている。なお、第7の実施例による電極取り出し構造は、第3及び第4の実施例による半導体受光装置に適用することも可能である。

【0068】図13(A)に示すp側導電性支柱51及びp側電極53は、図12(A)に示す第6の実施例の構造と同様である。

【0069】図13(A)及び(B)に示すように、n型層2の下面にn側導電性支柱60が接触している。n側導電性支柱60は、InP基板1を貫通し、その下面まで達する。n側電極61が、InP基板1の下面上に形成され、n側導電性支柱60に接触する。

【0070】図13(C)は、第7の実施例による半導体受光装置をマイクロストリップライン構造の基板に実装したときの概略断面図を示す。実装基板90の表面上に、接地導電層91が形成され、その一部の領域上に誘電体層92が形成され、その上にマイクロストリップライン93が形成されている。

【0071】接地導電層91に、第7の実施例による半導体受光装置のn側電極61が固着されている。p側電極53は、導電性ワイヤ94により、マイクロストリップライン93に接続される。第7の実施例のように、n側電極61をInP基板1の下面上に形成することにより、マイクロストリップライン構造の基板に容易に実装することができる。

【0072】次に、図14を参照して、第8の実施例による半導体受光装置について説明する。

【0073】図14(A)は、第6の実施例の図12(A)の断面図に対応する。第6の実施例では、光検出部10の両側にn側導電性支柱50が配置されていた

が、第8の実施例では、一方の側にのみn側導電性支柱50が配置されている。光検出部10の他方の側には、pinダイオード70が配置されている。

【0074】pinダイオード70は、n型層2、i型層72、p型層73、及びキャップ層73を含んで構成される。pinダイオード70を構成するn型層2は、光検出部10のn型層2と共通である。i型層71、p型層72、及びキャップ層73は、それぞれ光検出部10の受光層3、p型層4、及びキャップ層5と同一の工程で堆積され、パターニングされる。

【0075】p側電極75が、p側導電性支柱74を介してキャップ層73に接続されている。p側導電性支柱74及びp側電極75は、それぞれ光検出部10のp側導電性支柱51及びp側電極53の形成と同一工程で形成される。

【0076】図14(B)は、第8の実施例による半導体受光装置、電源、及び負荷抵抗の等価回路図を示す。直流電源79が、光検出部10のpin型フォトダイオードのカソードに正電圧を印加する。光検出部10のpin型フォトダイオードのアノードは、負荷78を介して接地される。

【0077】直流電源79の正電極と接地電極との間に、pinダイオード70が接続されている。pinダイオード70には、直流電源79から逆バイアスが印加される。pinダイオード70は、光検出部10のpin型フォトダイオードと負荷抵抗78からなる直列回路のバイパスコンデンサとして機能する。

【0078】第8の実施例では、バイパスコンデンサが、光検出部10と同一の基板上にモノリシックに形成されている。バイパスコンデンサを外部に接続すると、配線の持つインダクタンス等のために、バイパスコンデンサとしての機能が低下する。第8の実施例の場合には、バイパスコンデンサを光検出部10の近くに配置することができるため、配線を短くし、バイパスコンデンサとしての機能の低下を防止することができる。

【0079】バイパスコンデンサとしての機能を十分発揮させるためには、バイパスコンデンサのpin接合の面積を、光検出部10のpin接合の面積よりも大きくすることが好ましい。

【0080】次に、図15を参照して、第9の実施例による半導体受光装置について説明する。

【0081】図15(A)は、第8の実施例の図14(A)に対応する断面図を示す。第8の実施例では、n側電極52が、n側導電性支柱50を介してn型層2にオーミック接続されていたが、第8の実施例では、n側電極52がpinダイオード80を介してn型層2に接続されている。その他の構成は、第8の実施例の場合と同様である。

【0082】pinダイオード80は、n型層2、i型層81、p型層82、及びキャップ層83を含んで構成

される。pinダイオード80を構成するn型層2は、光検出部10のn型層2と共通である。i型層81、p型層82、及びキャップ層83は、それぞれ光検出部10の受光層3、p型層4、及びキャップ層5と同一の工程で堆積され、パターンニングされる。導電性支柱84が、n側電極52とキャップ層83とを接続する。導電性支柱84は、光検出部10の導電性支柱51と同一の工程で形成される。

【0083】図15(B)は、第9の実施例による半導体受光装置、電源、及び負荷抵抗を含む等価回路を示す。直流電源79の正極が、順方向接続されたpinダイオード80を介して、光検出部10のpin型フォトダイオードのカソード、及びバイパスコンデンサとして機能するpinダイオード70のカソードに接続されている。

【0084】第9の実施例では、導電性支柱51、74、及び84が、同一工程で形成される。このため、第8の実施例の場合に比べて、工程数を削減することができる。

【0085】上記第8及び第9の実施例では、n型層2をn型のInPで形成したが、n型層2をn型のInAlAsで形成してもよい。n型層2をn型のInAlAsで形成すると、n型層2と受光層3との界面、及びn型層2と側部保護膜28との界面に、2次元電子ガス層が形成される。このため、バイパスコンデンサ70と光検出部10とを接続する電流路、及び光検出部10とn側電極52とを接続する電流路のインダクタンス成分を減少させることができる。このため、インダクタンス成分に起因する特性の劣化を防止することができる。

【0086】次に、図16を参照して、第10の実施例による半導体受光装置について説明する。

【0087】図16は、第10の実施例による半導体受光装置の断面図を示し、第9の実施例の図15(A)の断面図に対応する。第9の実施例では、図15(A)に示すように、光検出部10の受光層3、pinダイオード70のi型層72、及びpinダイオード80のi型層81が相互に分離されていた。第10の実施例では、これらの層が相互に連続し、i型層3aを形成している。その他の構成は、第9の実施例の場合と同様である。

【0088】第10の実施例では、i型層3aとn型層2との界面に2次元電子ガス層が形成される。このため、第9の実施例の場合に比べて、2次元電子ガス層がより均一になり、インダクタンス成分をより減少させることができる。

【0089】次に、図17を参照して、複数の半導体受光装置が形成された1枚のウエハを、各受光装置単位に分離する方法について説明する。

【0090】図17(A)の破線で示すように、導波路20の部分でへき開して、受光装置単位に分離する。ま

た、図17(B)に示すように、切断する部分の導波路20をエッチングして導波路20の端面を露出させた後に、図の破線の位置でへき開してもよい。この場合、へき開する前に、導波路20の端面を無反射コーティングすることが好ましい。図17(A)及び(B)のいずれの場合も、導波路20の端面の位置するInP基板1の端面は、へき開により形成される。

【0091】図17(C)に示すように、導波路20の端面が基板表面に対して斜めになるように、側面が斜めの溝をエッチングで形成し、その後、図の破線の位置でへき開してもよい。図17(D)に示すように、基板法線方向に沿って見たとき、導波路20の延在する方向と、導波路の出射端面とが斜めに交差するようにしてもよい。また、図17(E)に示すように、チップを切り出した後、導波路20の出射端面に切り欠きを設け、出射端面を斜めにしてもよい。

【0092】上記第1～第10の実施例では、光検出部10をpin型フォトダイオードで構成した場合を説明したが、pn型フォトダイオードで構成してもよい。pn型フォトダイオードで構成する場合には、pn接合部の空乏層が受光層として機能する。

【0093】また、上記実施例における導波路20は、その入射端面近傍において単一モードの導波路とすることが好ましい。また、光検出部10も、単一モードの光が導波され、吸収されるような構成とすることが好ましい。

【0094】また、上記実施例では、InP基板上に、InGaAs系のpin型フォトダイオードを形成した半導体受光装置について説明したが、他のIII-V族化合物半導体及び混晶を用いてもよい。

【0095】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0096】

【発明の効果】以上説明したように、本発明によると、光検出部の受光層と、その受光層に光を導波させる導波路が同一基板上に形成されている。このため、受光層の占める面積が小さくなっても、チップサイズを比較的大きくすることができ、製造の困難性を回避することができる。また、受光層の端面が半絶縁性の半導体部材で被覆されているため、受光層の端面を流れるリーク電流を低減することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例による半導体受光装置の断面図及び側面図である。

【図2】本発明の第1の実施例による半導体受光装置の製造方法を説明するための、製造途中の装置の断面図(その1)である。

【図3】本発明の第1の実施例による半導体受光装置の

製造方法を説明するための、製造途中の装置の断面図  
(その2)である。

【図4】本発明の第1の実施例による半導体受光装置の  
製造方法を説明するための、製造途中の装置の断面図  
(その3)である。

【図5】本発明の第1の実施例による半導体受光装置の  
製造方法を説明するための、製造途中の装置の断面図  
(その4)である。

【図6】図2に示すSiO<sub>2</sub>パターンの一例を示す平面  
図である。

【図7】図1に示すエアブリッジの作製方法を説明する  
ための、エアブリッジ部分の断面図である。

【図8】第2の実施例による半導体受光装置の断面図で  
ある。

【図9】第3の実施例による半導体受光装置の断面図で  
ある。

【図10】第4の実施例による半導体受光装置の断面図  
である。

【図11】第5の実施例による半導体受光装置の断面  
図、及び製造途中で使用する選択成長用のマスクパター  
ンの平面図である。

【図12】第6の実施例による半導体受光装置の断面図  
である。

【図13】第7の実施例による半導体受光装置の断面図  
である。

【図14】第8の実施例による半導体受光装置の断面図  
である。

【図15】第9の実施例による半導体受光装置の断面図  
である。

【図16】第10の実施例による半導体受光装置の断面  
図である。

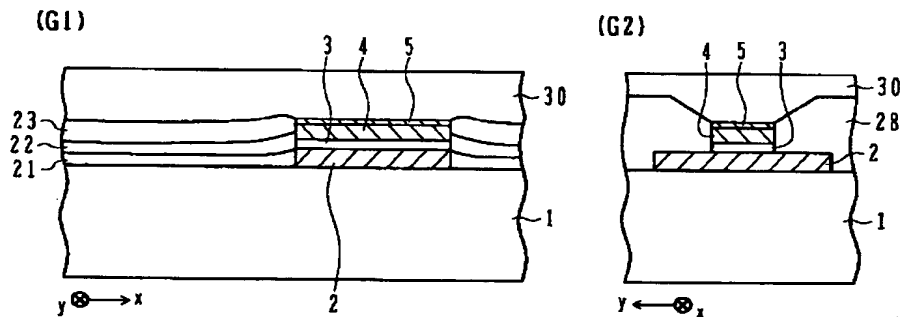
【図17】ウエハから受光装置単位に切り出す方法を説  
明するための基板の断面図及び平面図である。

【符号の説明】

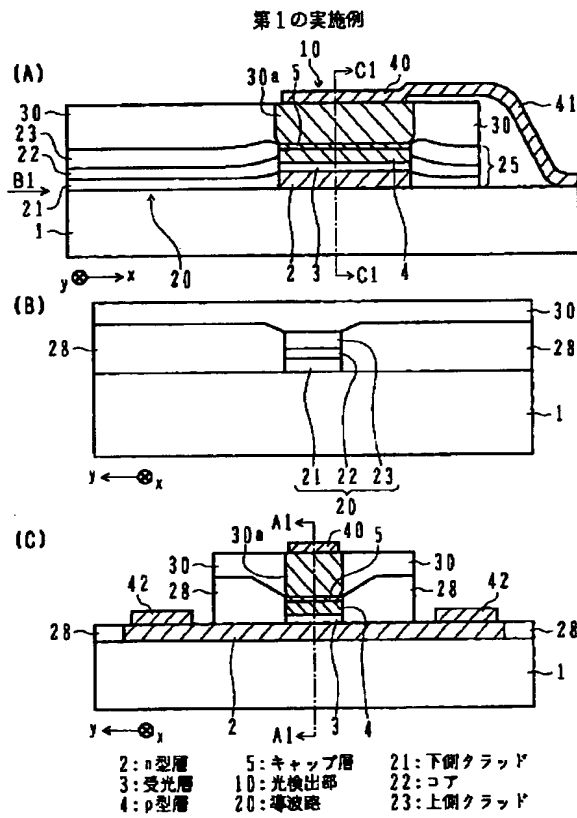
- 1 I n P基板
- 2 n型層
- 3 受光層

- 4 p型層
- 5 キャップ層
- 6、7、9 SiO<sub>2</sub>パターン
- 8 レジストパターン
- 10 光検出部
- 20 導波路
- 21 下側クラッド層
- 22 コア
- 23 上側クラッド層
- 25 半導体部材
- 28 側部保護膜
- 30 上部保護膜
- 30a 導電領域
- 40 p側電極
- 41 エアブリッジ
- 42 n側電極
- 46、47 レジストパターン
- 50 n側導電性支柱
- 51 p側導電性支柱
- 52 n側電極
- 53 p側電極
- 54 融材層
- 60、74 n側導電性支柱
- 61、75 n側電極
- 70、80 pinダイオード
- 71、81 i型層
- 72、82 p型層
- 73、83 キャップ層
- 78 負荷抵抗
- 79 直流電源
- 84 導電性支柱
- 90 実装基板
- 91 接地導電層
- 92 誘電体層
- 93 マイクロストリップライン
- 94 導電性ワイヤ

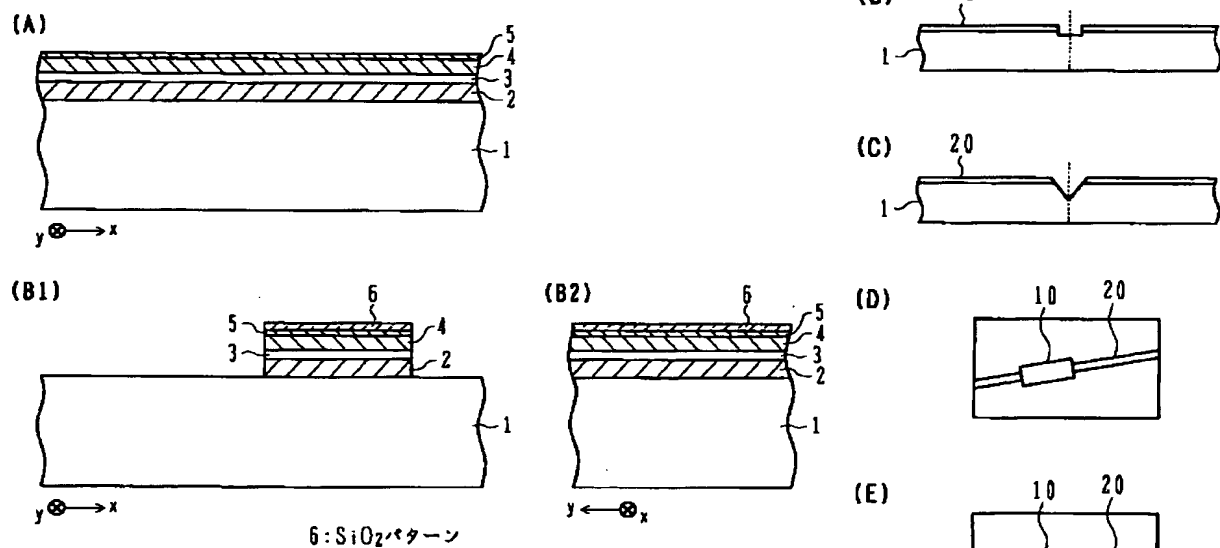
【図5】



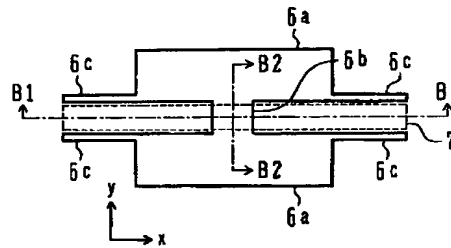
【図1】



【図2】

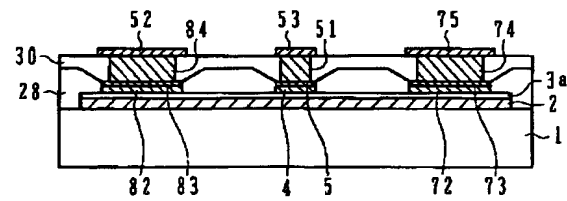


【図6】

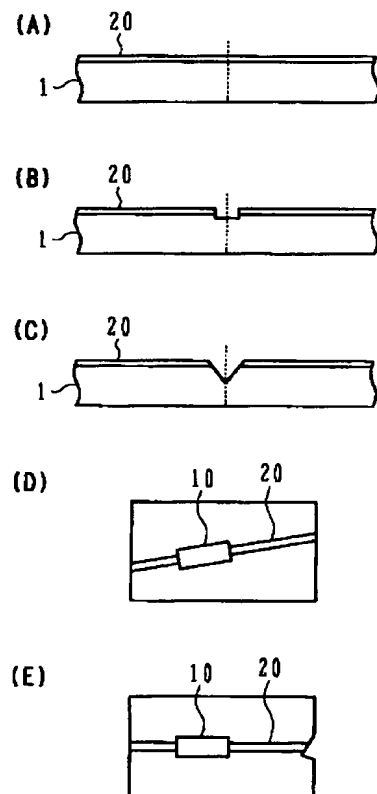


【図16】

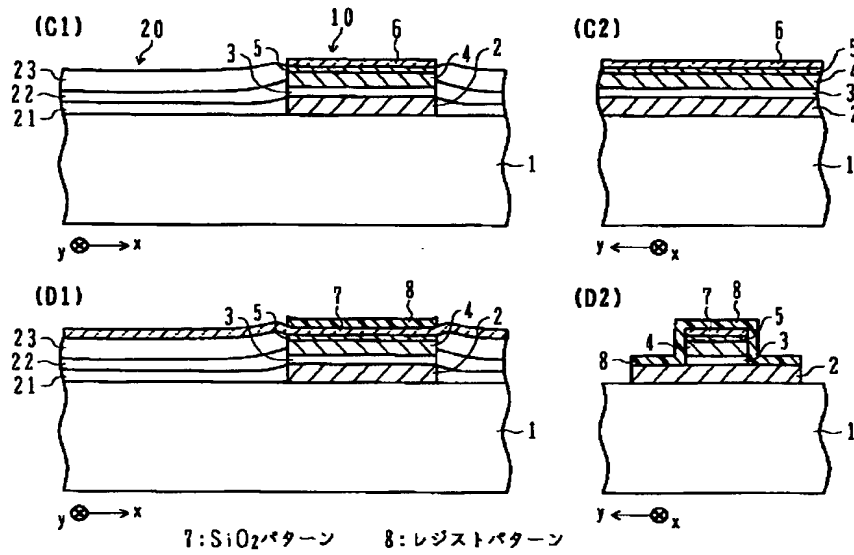
第10の実施例



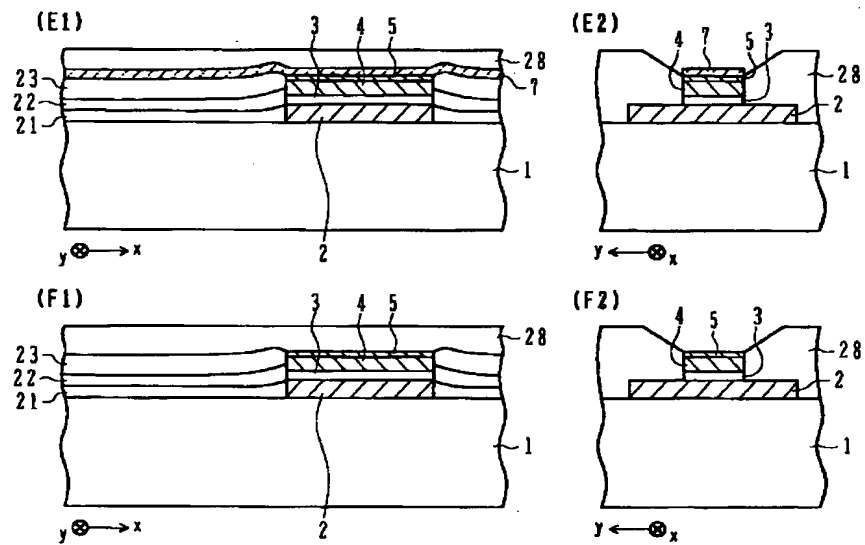
【図17】



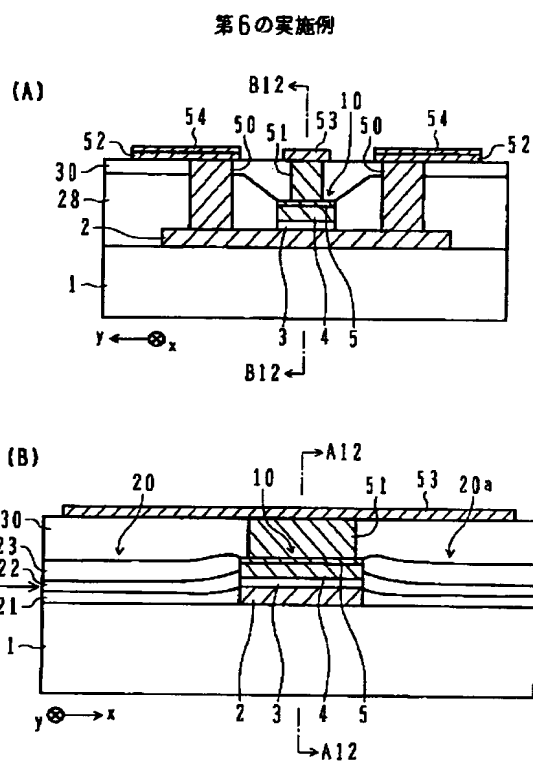
【図3】



【図4】

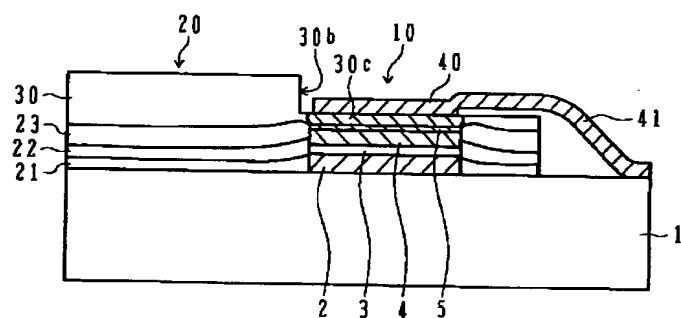


【図12】



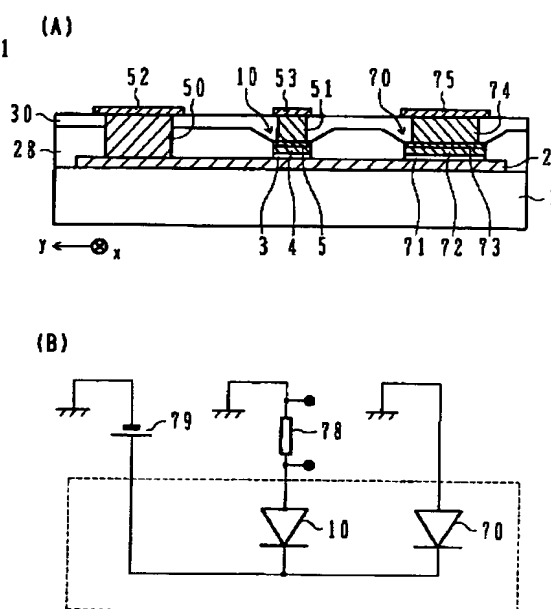
【図8】

## 第2の実施例



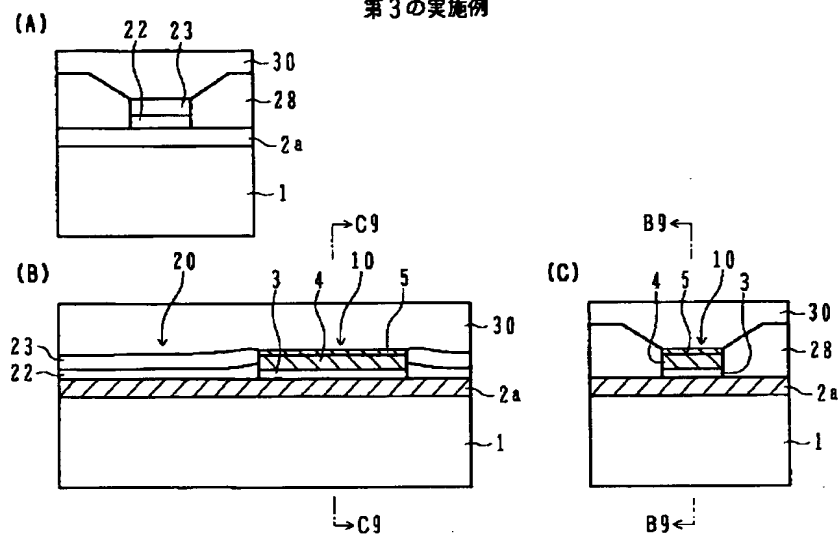
【図14】

## 第 8 の実施例



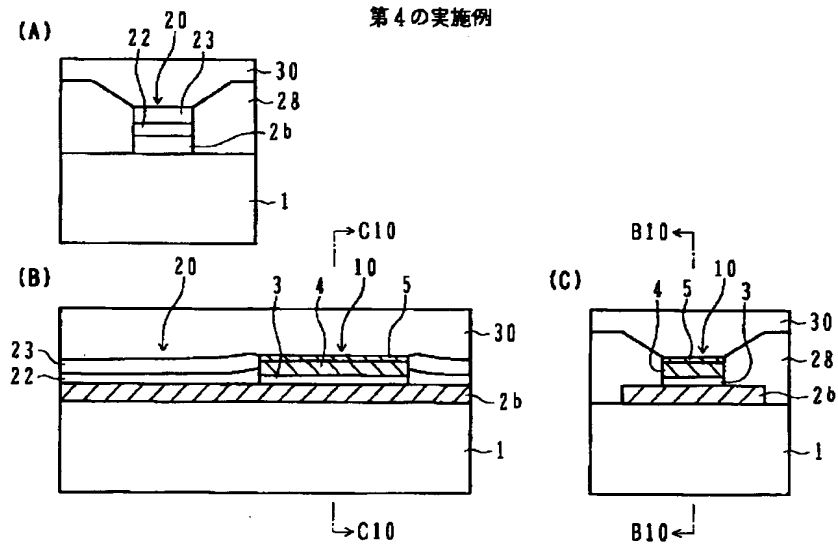
【図9】

第3の実施例



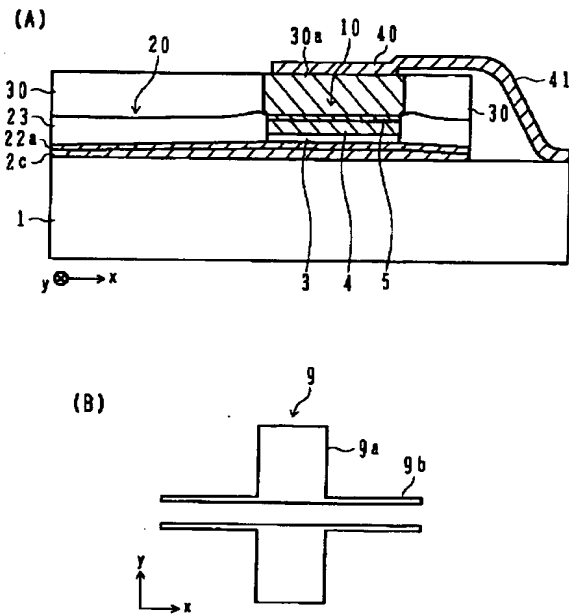
【図10】

第4の実施例



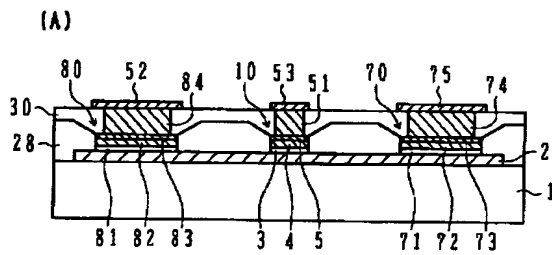
【図11】

第5の実施例

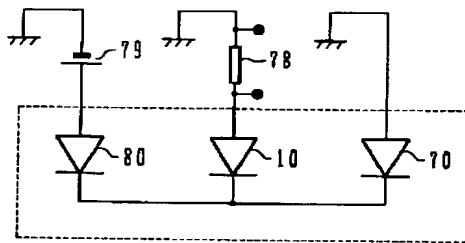


【図15】

第9の実施例

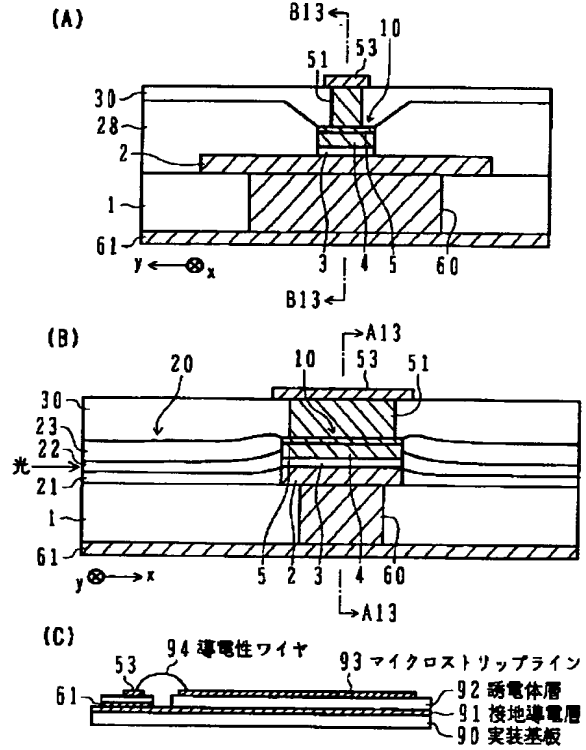


(B)



【図13】

第7の実施例





フロントページの続き

(72)発明者 安岡 奈美  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(72)発明者 雙田 晴久  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 藤井 卓也  
山梨県中巨摩郡昭和町大字紙漣阿原1000番  
地 富士通カンタムデバイス株式会社内  
Fターム(参考) 5F049 MA02 MA03 MA04 MB07 MB12  
NA03 NA15 NA18 NB01 PA04  
PA14 PA17 QA08 RA06 SE05  
SS04 SZ13 TA03 UA20 WA01

